

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP11284066
Publication date: 1999-10-15
Inventor(s): SATO SHINJI
Applicant(s): RICOH CO LTD
Requested Patent: ☐ JP11284066
Application Number: JP19980098418 19980326
Priority Number(s):
IPC Classification: H01L21/768
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the manufacturing time and enable the manufacturing of various types of semiconductor devices with changed wiring parts, by cladding transistor parts of one semiconductor substrate to wiring parts of another semiconductor substrate and electrically conducting the transistor parts to the wiring parts.

SOLUTION: To form a usual transistor structure, the implanting to a source-drain 4 and activating annealing are applied to form desired transistor. An insulating inter layer 5 is formed by the chemical vapor deposition on the entire surface of the semiconductor substrate 1 with transistors formed thereon, a photo resist is coated, wiring pattern regions are patterned by the photolithography, a wiring pattern 14 is formed by the reactive ion etching, and one semiconductor substrate 1 is clad to another semiconductor substrate 9 with connection holes contacted to wiring parts, thereby forming a semiconductor device. Thus it is possible to form the transistor parts and wiring parts separately.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 8 4 0 6 6

(43) 公開日 平成11年(1999)10月15日

(51) Int. Cl.⁶

識別記号

F I

H O 1 L 21/768

H O 1 L 21/90

B

// H O 1 L 27/12

27/12

B

審査請求 未請求 請求項の数 1 3 F D

(全 1 1 頁)

(21) 出願番号 特願平10-98418

(22) 出願日 平成10年(1998)3月26日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 佐藤 新治

東京都大田区中馬込1丁目3番6号 株式会
社リコー内

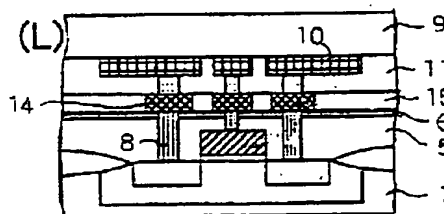
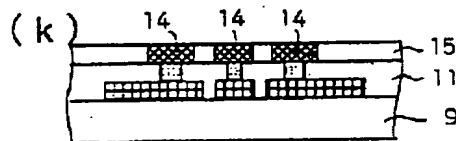
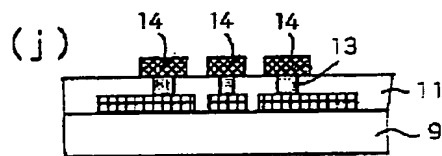
(74) 代理人 弁理士 植本 雅治

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 製作期間を従来に比べて短くすることができ、また、配線部を変えることにより多品種の半導体装置を作製することが可能である。

【解決手段】 一の半導体基板 1 上にトランジスタ部を形成し、他の半導体基板 9 上に配線部を形成し、一の半導体基板のトランジスタ部と他の半導体基板の配線部とを張り合わせることによりトランジスタ部と配線部を電氣的に導通させて半導体装置を形成する。



【特許請求の範囲】

【請求項 1】 一の半導体基板上にトランジスタ部を形成し、他の半導体基板上に配線部を形成し、一の半導体基板のトランジスタ部と他の半導体基板の配線部とを張り合わせることにによりトランジスタ部と配線部を電氣的に導通させて半導体装置を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、前記一の半導体基板上にトランジスタ部を形成する工程は、一の半導体基板上に、トランジスタを形成する工程と、絶縁膜を形成する工程と、該絶縁膜を平坦化する工程と、該絶縁膜上に絶縁性の密着層を形成する工程と、該絶縁膜および密着層に接続孔を形成する工程と、該接続孔に導体を充填する工程とを少なくとも有し、また、前記他の半導体基板上に配線部を形成する工程は、他の半導体基板上にボンディングパッドを形成する工程と、絶縁膜を形成する工程と、前記絶縁膜に接続孔を形成する工程と、該接続孔に導体を充填する工程と、配線層を形成し、配線パターンを形成する工程と、絶縁層を形成する工程と、配線パターンの上面が露出するように絶縁膜を平坦化する工程とを有していることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、前記一の半導体基板上にトランジスタ部を形成する工程は、一の半導体基板上に、トランジスタを形成する工程と、絶縁膜を形成する工程と、該絶縁膜を平坦化する工程と、該絶縁膜に接続孔を形成する工程と、該接続孔に導体を充填する工程とを少なくとも有し、また、前記他の半導体基板上に配線部を形成する工程は、他の半導体基板上にボンディングパッドを形成する工程と、絶縁膜を形成する工程と、前記絶縁膜に接続孔を形成する工程と、該接続孔に導体を充填する工程と、配線層を形成し、配線パターンを形成する工程と、絶縁層を形成する工程と、配線パターンの上面が露出するように絶縁膜を平坦化する工程と、密着層を形成する工程とを有していることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 記載の半導体装置の製造方法において、前記一の半導体基板上にトランジスタ部を形成する工程は、一の半導体基板上に、トランジスタを形成する工程と、絶縁膜を形成する工程と、該絶縁膜を平坦化する工程と、該絶縁膜上に絶縁性の密着層を形成する工程と、該絶縁膜および密着層に接続孔を形成する工程と、該接続孔に導体を充填する工程とを少なくとも有し、また、前記他の半導体基板上に配線部を形成する工程は、他の半導体基板上にボンディングパッドを形成する工程と、絶縁膜を形成する工程と、前記絶縁膜に接続孔を形成する工程と、該接続孔に導体を充填する工程と、配線層を形成し、配線パターンを形成する工程と、絶縁層を形成する工程と、配線パターンの上面が露出するように絶縁膜を平坦化する工程と、密着層を形成する

工程とを有していることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 乃至請求項 4 のいずれか一項に記載の半導体装置の製造方法において、絶縁膜を平坦化する工程に化学機械研磨を用いることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 乃至請求項 4 のいずれか一項に記載の半導体装置の製造方法において、接続孔内の導体上に、さらに、低融点金属を形成することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、接続孔内の導体上に形成する低融点金属を、接続孔が形成されている絶縁膜の上面よりも盛り上がるように形成することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 記載の半導体装置の製造方法において、トランジスタ部と配線部の張り合わせは、加熱下で行なうことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 記載の半導体装置の製造方法において、トランジスタ部と配線部の張り合わせは、加圧下で行なうことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 2 乃至請求項 4 のいずれか一項に記載の半導体装置の製造方法において、ボンディングパッドが形成される他の半導体基板は、絶縁性基板であることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 2 乃至請求項 4 のいずれか一項に記載の半導体装置の製造方法において、トランジスタ部と配線部とを張り合わせた後、配線部が形成されている他の半導体基板にボンディングパッドに通じる接続孔を開く工程をさらに有していることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 記載の半導体装置の製造方法において、配線部が形成されている他の半導体基板にボンディングパッドに通じる接続孔を開くのに先立って、配線部が形成されている他の半導体基板を研磨して薄くする工程をさらに有していることを特徴とする半導体装置の製造方法。

【請求項 13】 一の半導体基板上にトランジスタ部が形成され、他の半導体基板上に配線部が形成されており、一の半導体基板のトランジスタ部と他の半導体基板の配線部とが張り合わされて電氣的導通が図られていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置の高集積化に伴い、半導体装置内のトランジスタや抵抗等への配線構造も複雑となり、多層配線構造が一般的となっている。このような多層配線構造を有する半導体装置の製造工程が複雑化

するとともに、工程数が増えており、製造期間の長期化が問題となっている。多層配線の形成工程に要する期間は、半導体装置の製造価格を決める要因となるので、製造価格の低減を図る上で製造期間を短期化することは非常に重要である。

【0003】このような多層配線構造を有する従来の半導体装置の製造工程では、半導体基板上にトランジスタを形成し、その上に順次絶縁膜を介して各層の配線を形成していく。各配線層とトランジスタとの間、各配線層間を接続するには、絶縁膜中に接続孔を開口後、該接続孔にプラグを形成し、このプラグに接続される配線や電極を形成する。

【0004】図16、図17は従来の積層配線の形成方法を示す図である。従来の積層配線の形成方法では、図16(a)に示すように、チャネルドープを施した半導体基板1上をフィールド酸化し、素子分離領域2を形成する。次いで、半導体基板1を熱酸化し、ゲート絶縁膜30を形成する。次いで、ゲート電極3を形成する。次いで、通常の写真工程およびエッチングによりゲート電極のパターニングを行なう。さらに、通常のトランジスタ構造を形成するために、ソース・ドレイン4の注入および活性化アニールを施し所望のトランジスタを形成する。

【0005】次に図16(b)に示すように、トランジスタが形成された半導体基板1の全面に化学気相成長法(C hemical Vaper Deposition: CVD)により層間絶縁膜5を形成する。

【0006】次に図16(c)に示すように、フォトレジスト剤を塗布し、フォトリソグラフィにより接続孔(コンタクト)領域をパターニング後、反応性イオンエッチング法により接続孔7を形成する。

【0007】次に図17(d)に示すように、基板の全面上にタングステン21を堆積し、接続孔7内に充填する。次いで、エッチバックにより接続孔内以外のタングステンを除去する。

【0008】次に図17(e)に示すように、第1の配線材料としてアルミニウム22を形成する。次いで、フォトレジスト剤を塗布し、フォトリソグラフィにより配線をパターニング後、反応性イオンエッチング法により配線パターン22を形成する。

【0009】次に図17(f)に示すように、配線パターン22が形成された半導体基板1の全面に化学気相成長法(C hemical Vaper Deposition: CVD)により層間絶縁膜23を形成する。多層配線を形成する場合、図16(c)から図17(f)の工程を繰り返すことにより、多層配線を形成することができる。

【0010】

【発明が解決しようとする課題】しかしながら、従来の積層配線の形成方法では、トランジスタ部を半導体基板上に形成した後、配線を順次形成するため、配線層の層

数が増えるほど製造期間は長くなってしまふ。

【0011】本発明は、製作期間を従来に比べて短かくすることができ、また、配線部を変えることにより多品種の半導体装置を作製することが可能な半導体装置およびその製造方法を提供することを目的としている。

【0012】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、一の半導体基板上にトランジスタ部を形成し、他の半導体基板上に配線部を形成し、一の半導体基板のトランジスタ部と他の半導体基板の配線部とを張り合わせることによりトランジスタ部と配線部を電気的に導通させて半導体装置を形成することを特徴としている。

【0013】また、請求項2記載の発明は、請求項1記載の半導体装置の製造方法において、一の半導体基板上にトランジスタ部を形成する工程は、一の半導体基板上に、トランジスタを形成する工程と、絶縁膜を形成する工程と、該絶縁膜を平坦化する工程と、該絶縁膜上に絶縁性の密着層を形成する工程と、該絶縁膜および密着層に接続孔を形成する工程と、該接続孔に導体を充填する工程とを少なくとも有し、また、他の半導体基板上に配線部を形成する工程は、他の半導体基板上にボンディングパッドを形成する工程と、絶縁膜を形成する工程と、絶縁膜に接続孔を形成する工程と、該接続孔に導体を充填する工程と、配線層を形成し、配線パターンを形成する工程と、絶縁層を形成する工程と、配線パターンの上面が露出するように絶縁膜を平坦化する工程とを有していることを特徴としている。

【0014】また、請求項3記載の発明は、請求項1記載の半導体装置の製造方法において、一の半導体基板上にトランジスタ部を形成する工程は、一の半導体基板上に、トランジスタを形成する工程と、絶縁膜を形成する工程と、該絶縁膜を平坦化する工程と、該絶縁膜に接続孔を形成する工程と、該接続孔に導体を充填する工程とを少なくとも有し、また、他の半導体基板上に配線部を形成する工程は、他の半導体基板上にボンディングパッドを形成する工程と、絶縁膜を形成する工程と、絶縁膜に接続孔を形成する工程と、該接続孔に導体を充填する工程と、配線層を形成し、配線パターンを形成する工程と、絶縁層を形成する工程と、配線パターンの上面が露出するように絶縁膜を平坦化する工程と、密着層を形成する工程とを有していることを特徴としている。

【0015】また、請求項4記載の発明は、請求項1記載の半導体装置の製造方法において、一の半導体基板上にトランジスタ部を形成する工程は、一の半導体基板上に、トランジスタを形成する工程と、絶縁膜を形成する工程と、該絶縁膜を平坦化する工程と、該絶縁膜上に絶縁性の密着層を形成する工程と、該絶縁膜および密着層に接続孔を形成する工程と、該接続孔に導体を充填する工程とを少なくとも有し、また、他の半導体基板上に配

線部を形成する工程は、他の半導体基板上にボンディングパッドを形成する工程と、絶縁膜を形成する工程と、絶縁膜に接続孔を形成する工程と、該接続孔に導体を充填する工程と、配線層を形成し、配線パターンを形成する工程と、絶縁層を形成する工程と、配線パターンの上面が露出するように絶縁膜を平坦化する工程と、密着層を形成する工程とを有していることを特徴としている。

【0016】また、請求項5記載の発明は、請求項1乃至請求項4のいずれか一項に記載の半導体装置の製造方法において、絶縁膜を平坦化する工程に化学機械研磨を用いることを特徴としている。

【0017】また、請求項6記載の発明は、請求項1乃至請求項4のいずれか一項に記載の半導体装置の製造方法において、接続孔内の導体上に、さらに、低融点金属を形成することを特徴としている。

【0018】また、請求項7記載の発明は、請求項6記載の半導体装置の製造方法において、接続孔内の導体上に形成する低融点金属を、接続孔が形成されている絶縁膜の上面よりも盛り上がるように形成することを特徴としている。

【0019】また、請求項8記載の発明は、請求項1記載の半導体装置の製造方法において、トランジスタ部と配線部の張り合わせは、加熱下で行なうことを特徴としている。

【0020】また、請求項9記載の発明は、請求項1記載の半導体装置の製造方法において、トランジスタ部と配線部の張り合わせは、加圧下で行なうことを特徴としている。

【0021】また、請求項10記載の発明は、請求項2乃至請求項4のいずれか一項に記載の半導体装置の製造方法において、ボンディングパッドが形成される他の半導体基板は、絶縁性基板であることを特徴としている。

【0022】また、請求項11記載の発明は、請求項2乃至請求項4のいずれか一項に記載の半導体装置の製造方法において、トランジスタ部と配線部とを張り合わせた後、配線部が形成されている他の半導体基板にボンディングパッドに通じる接続孔を開口する工程をさらに有していることを特徴としている。

【0023】また、請求項12記載の発明は、請求項11記載の半導体装置の製造方法において、配線部が形成されている他の半導体基板にボンディングパッドに通じる接続孔を開口するに先立って、配線部が形成されている他の半導体基板を研磨して薄くする工程をさらに有していることを特徴としている。

【0024】また、請求項13記載の発明は、一の半導体基板上にトランジスタ部が形成され、他の半導体基板上に配線部が形成されており、一の半導体基板のトランジスタ部と他の半導体基板の配線部とが張り合わされて電気的導通が図られていることを特徴としている。

【0025】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1は本発明による半導体装置の第1の製造工程例を示す図である。この第1の製造工程例では、図1(a)に示すように、チャネルドープを施した半導体基板1上をフィールド酸化し、素子分離領域2を形成する。次いで、半導体基板1を熱酸化し、ゲート絶縁膜30を形成する。次いで、ゲート電極3を形成する。次いで、通常の写真工程およびエッチングによりゲート電極3のパターニングを行なう。さらに、通常のトランジスタ構造を形成するために、ソース・ドレイン4の注入および活性化アニールを施し所望のトランジスタを形成する。

【0026】次に図1(b)に示すように、トランジスタが形成された半導体基板1の全面に化学気相成長法(Chemical Vapor Deposition: CVD)により層間絶縁膜5を形成する。

【0027】次に図1(c)に示すように、化学機械研磨(Che-
mical Mechanical polish: CMP)により層間絶縁膜5を平坦化する。次いで、密着層としてスピノングラス(SOG)6を塗布する。

【0028】次に図1(d)に示すように、フォトリソグロ
ラフイーにより接続孔(コンタクト)領域をパターニング後、反応性イオンエッチング法により接続孔7を形成する。

【0029】次に図1(e)に示すように、高温スパッタ法(スパッタ成膜時に成膜温度を400℃程度とし成膜を行なう)またはリフロー法(スパッタ成膜後に熱処理を行なう)により、接続孔7に導体(アルミニウム)8を充填する。次いで、エッチバックまたは化学機械研磨(Che-
mical Mechanical polish: CMP)により接続孔以外の導体(アルミニウム)を除去する。

【0030】また、図2(f)に示すように、トランジスタ部が形成される一の半導体基板1とは物理的に異なる他の半導体基板9上にボンディングパッド10用のアルミニウムを形成する。次いで、フォトリソグロラフイーによりアルミニウムのボンディングパッド領域をパターニング後、反応性イオンエッチング法によりボンディングパッド10を形成する。

【0031】次に図2(g)に示すように、ボンディングパッド10が形成された基板9の全面に化学気相成長法(Chemical Vapor Deposition: CVD)により層間絶縁膜11を形成する。

【0032】次に図2(h)に示すように、フォトリソグロラフイーにより接続孔(コンタクト)領域をパターニング後、反応性イオンエッチング法により接続孔12を形成する。

【0033】次に図2(i)に示すように、高温スパッタ法またはリフロー法により、接続孔12に導体(アルミニウム)13を充填する。次いで、エッチバックまたは化学機械研磨(Che-
mical Mechanical polish: CMP)に

より接続孔以外の導体(アルミニウム)を除去する。

【0034】次に図3(j)に示すように、スパッタリングにより全面に導体(アルミニウム)14を形成する。次に、フォトリソ剤を塗布し、フォトリソグラフィーにより配線パターン領域をパターニング後、反応性イオンエッチング法により配線のパターン14を形成する。

【0035】次に図3(k)に示すように、全面に化学気相成長法(Cheical Vapor Deposition: CVD)により層間絶縁膜15を形成する。次に、配線パターン14の上面が露出するように化学機械研磨(Cheical Mechanical polish: CMP)により層間絶縁膜15を平坦化する。

【0036】次に図3(l)に示すように、図1(e)に示す構造が形成された一の半導体基板1と、図3(k)に示す構造が形成された他の半導体基板9とを、接続孔部分および配線部分が接するように張り合わせる。これにより、半導体装置が作製される。

【0037】このように、この第1の製造工程例によれば、トランジスタ部分と配線部分とを別々に形成できるため、トランジスタ上に順々に配線層を形成していく従来の方法に比べ、製作期間を短くすることができる。さらに、配線部分を変えることにより、同一のトランジスタ部分で、異なった動作を行なう半導体装置を容易に形成することができる。

【0038】図4は本発明による半導体装置の第2の製造工程例を示す図である。この第2の製造工程例では、図4(a)に示すように、チャネルドープを施した半導体基板1上をフィールド酸化し、素子分離領域2を形成する。次いで、半導体基板1を熱酸化し、ゲート絶縁膜30を形成する。次いで、ゲート電極3を形成する。次いで、通常の写真工程およびエッチングによりゲート電極3のパターニングを行なう。さらに、通常のトランジスタ構造を形成するために、ソース・ドレイン4の注入および活性化アニールを施し所望のトランジスタを形成する。

【0039】次に図4(b)に示すように、トランジスタが形成された半導体基板1の全面に化学気相成長法(Cheical Vapor Deposition: CVD)により層間絶縁膜5を形成する。

【0040】次に図4(c)に示すように、化学機械研磨(Cheical Mechanical polish: CMP)により層間絶縁膜5を平坦化する。

【0041】次に図4(d)に示すように、フォトリソ剤を塗布し、フォトリソグラフィーにより接続孔(コンタクト)領域をパターニング後、反応性イオンエッチング法により接続孔7を形成する。

【0042】次に図4(e)に示すように、高温スパッタ法(スパッタ成膜時に成膜温度を400℃程度とし成膜を行なう)またはリフロー法(スパッタ成膜後に熱処理を行なう)により、接続孔7に導体(アルミニウム)8を充填する。次いで、エッチバックまたは化学機械研磨(Che

mical Mechanical polish: CMP)により接続孔以外の導体(アルミニウム)を除去する。

【0043】また、図5(f)に示すように、トランジスタ部分が形成される一の半導体基板1とは物理的に異なる他の半導体基板9上にボンディングパッド10用のアルミニウムを形成する。次いで、フォトリソ剤を塗布し、フォトリソグラフィーによりアルミニウムのボンディングパッド領域をパターニング後、反応性イオンエッチング法によりボンディングパッド10を形成する。

【0044】次に図5(g)に示すように、ボンディングパッド10が形成された基板9の全面に化学気相成長法(Cheical Vapor Deposition: CVD)により層間絶縁膜11を形成する。

【0045】次に図5(h)に示すように、フォトリソ剤を塗布し、フォトリソグラフィーにより接続孔(コンタクト)領域をパターニング後、反応性イオンエッチング法により接続孔12を形成する。

【0046】次に図5(i)に示すように、高温スパッタ法またはリフロー法により、接続孔12に導体(アルミニウム)13を充填する。次いで、エッチバックまたは化学機械研磨(Cheical Mechanical polish: CMP)により接続孔以外の導体(アルミニウム)を除去する。

【0047】次に図6(j)に示すように、スパッタリングにより全面に導体(アルミニウム)14を形成する。次に、フォトリソ剤を塗布し、フォトリソグラフィーにより配線パターン領域をパターニング後、反応性イオンエッチング法により配線パターン14を形成する。

【0048】次に図6(k)に示すように、全面に化学気相成長法(Cheical Vapor Deposition: CVD)により層間絶縁膜15を形成する。この際、配線部側基板9を基準として配線パターンの上面が層間絶縁膜15の上面よりも高くなるように化学機械研磨(Cheical Mechanical polish: CMP)により層間絶縁膜15を平坦化する。次いで、層間絶縁膜15上に、密着層としてスピノングラス6を形成する。次いで、次に配線パターンの上面が露出するように化学機械研磨(Cheical Mechanical polish: CMP)によりスピノングラス6を平坦化する。

【0049】次に図6(l)に示すように、図4(e)に示す構造が形成された一の半導体基板1と、図6(k)に示す構造が形成された他の半導体基板9とを、接続孔部分および配線部分が接するように張り合わせる。これにより、半導体装置が作製される。

【0050】このように、この第2の製造工程例によれば、トランジスタ部分と配線部分とを別々に形成できるため、トランジスタ上に順々に配線層を形成していく従来の方法に比べ、製作期間を短くすることができる。さらに、配線部分を変えることにより、同一のトランジスタ部分で、異なった動作を行なう半導体装置を容易に形成することができる。

【0051】図7は本発明による半導体装置の第3の製造工程例を示す図である。この第3の製造工程例では、図7(a)に示すように、チャネルドープを施した半導体基板1上をフィールド酸化し、素子分離領域2を形成する。次いで、半導体基板1を熱酸化し、ゲート絶縁膜30を形成する。次いで、ゲート電極3を形成する。次いで、通常の写真工程およびエッチングによりゲート電極3のパターニングを行なう。さらに、通常のトランジスタ構造を形成するために、ソース・ドレイン4の注入および活性化アニールを施し所望のトランジスタを形成する。

【0052】次に図7(b)に示すように、トランジスタが形成された半導体基板1の化学気相成長法(Che-mical Vapor Deposition: CVD)により層間絶縁膜5を形成する。

【0053】次に図7(c)に示すように、化学機械研磨(Che-mical Mechanical polish: CMP)により層間絶縁膜を平坦化する。次いで密着層としてスピノングラス(SOG)6を塗布する。

【0054】次に図7(d)に示すように、フォトリソ剤を塗布し、フォトリソグラフィにより接続孔(コンタクト)領域をパターニング後、反応性イオンエッチング法により接続孔7を形成する。

【0055】次に図7(e)に示すように、高温スパッタ法(スパッタ成膜時に成膜温度を400℃程度とし成膜を行なう)またはフロー法(スパッタ成膜後に熱処理を行なう)により、接続孔7に導体(アルミニウム)8を充填する。次いで、エッチバックまたは化学機械研磨(Che-mical Mechanical polish: CMP)により接続孔以外の導体(アルミニウム)を除去する。

【0056】また、図8(f)に示すように、トランジスタ部が形成される一の半導体基板1とは物理的に異なる他の半導体基板9上にボンディングパッド10用のアルミニウムを形成する。次いでフォトリソ剤を塗布し、フォトリソグラフィによりアルミニウムのボンディングパッド領域をパターニング後、反応性イオンエッチング法によりボンディングパッド10を形成する。

【0057】次に図8(g)に示すように、ボンディングパッド10が形成された基板9の全面に化学気相成長法(Che-mical Vapor Deposition: CVD)により層間絶縁膜11を形成する。

【0058】次に図8(h)に示すように、フォトリソ剤を塗布し、フォトリソグラフィにより接続孔(コンタクト)領域をパターニング後、反応性イオンエッチング法により接続孔12を形成する。

【0059】次に図8(i)に示すように、高温スパッタ法またはフロー法により、接続孔12に導体(アルミニウム)13を充填する。次いで、エッチバックまたは化学機械研磨(Che-mical Mechanical polish: CMP)により接続孔以外の導体(アルミニウム)を除去する。

【0060】次に図9(j)に示すように、スパッタリングにより全面に導体(アルミニウム)14を形成する。次に、フォトリソ剤を塗布し、フォトリソグラフィにより配線パターン領域をパターニング後、反応性イオンエッチング法により配線パターン14を形成する。

【0061】次に図9(k)に示すように、全面に化学気相成長法(Che-mical Vapor Deposition: CVD)により層間絶縁膜15を形成する。次に配線部側基板9を基準として配線パターンの上面が層間絶縁膜15の上面よりも高くなるように化学機械研磨(Che-mical Mechanical polish: CMP)により層間絶縁膜15を平坦化する。次いで、層間絶縁膜15上に、密着層としてスピノングラス16を形成する。次いで、次に配線パターンの上面が露出するように化学機械研磨(Che-mical Mechanical polish: CMP)によりスピノングラス16を平坦化する。

【0062】次に図9(l)に示すように、図7(e)に示す構造が形成された一の半導体基板1と、図9(k)に示す構造が形成された他の半導体基板9とを、接続孔部分および配線部分が接するように張り合わせる。

【0063】この第3の製造工程例によれば、トランジスタ部が形成される一の半導体基板1上の絶縁膜5と、配線部が形成される他の半導体基板9上の絶縁膜11とのそれぞれの上部に密着層6、16を形成するので、トランジスタ部分と配線部分とをより確実に密着接合することができる。

【0064】図10は本発明による半導体装置の第4の製造工程例を示す図である。この第4の製造工程例では、まず、図1(a)、(b)あるいは図4(a)、(b)あるいは図7(a)、(b)と同様の工程を行なう。次に図1(c)あるいは図4(c)あるいは図7(c)の工程のかわりに図10(a)、(b)の工程を行なう。すなわち、図10(a)に示すように、スピノングラス(SOG)17を層間絶縁膜5上に塗布する。次いで、図10(b)に示すように、エッチバックにより絶縁膜5を平坦化し、次に密着層としてスピノングラス(SOG)6を塗布する。しかる後、図1(d)乃至図3(l)あるいは図4(d)乃至図6(l)あるいは図7(d)乃至図9(l)と同様の工程を行なう。

【0065】この第4の製造工程例によれば、スピノングラス(SOG)17を層間絶縁膜5上に塗布した後、エッチバックにより絶縁膜5を平坦化するので、CMPを用いなくても絶縁膜5を平坦化でき、トランジスタ部分と配線部分を別々に形成できるため、トランジスタ上に順々に配線層を形成していく従来の方法に比べ、製作期間を短くすることができる。さらに配線部分を変えることにより、同一のトランジスタ部分で、異なった動作を行なう半導体装置を形成することができる。

【0066】図11は本発明による半導体装置の第5の製造工程例を示す図である。この第5の製造工程例で

は、先ず、図 1 (a) 乃至図 1 (e) あるいは図 7 (a) 乃至図 7 (e) と同様の工程を行なう。次に図 1 1 に示すように、図 1 (a) 乃至図 1 (e) あるいは図 7 (a) 乃至図 7 (e) と同様の工程によって形成された接続孔 7 中の導体 (アルミニウム) 8 上に選択 CVD 法により低融点金属であるチタン Ti 18 を形成する。次に図 2 (f) 乃至図 3 (l) あるいは図 8 (f) 乃至図 9 (l) と同様の工程を行なう。

【0067】この第 5 の製造工程例によれば、低融点金属 18 によってトランジスタ部の接続孔内の導体と配線部の配線パターンとの電気的導通を、低融点金属 18 を形成しない場合に比べ、より良好なものにすることができる。

【0068】図 1 2 は本発明による半導体装置の第 6 の製造工程例を示す図である。この第 6 の製造工程例では、先ず、図 1 (a) 乃至図 1 (e) あるいは図 7 (a) 乃至図 7 (e) と同様の工程を行なう。次に図 1 1 に示すように、図 1 (a) 乃至図 1 (e) あるいは図 7 (a) 乃至図 7 (e) と同様の工程によって形成された接続孔 7 中の導体 (アルミニウム) 8 上に選択 CVD 法により低融点金属であるチタン Ti 18 を形成する。この時、接続孔 7 が形成されている絶縁膜の上面よりも低融点金属である Ti 18 が盛り上がるように形成する。次に図 2 (f) 乃至図 3 (l) あるいは図 8 (f) 乃至図 9 (l) と同様の工程を行なう。

【0069】この第 6 の製造工程例によれば、さらに、低融点金属 18 を盛り上げることにより、低融点金属とトランジスタ部の接続孔内の導体および配線部の配線パターンとの接合を確実なものにし、より良好に電気的導通することができる。

【0070】次に、本発明による半導体装置の第 7 の製造工程例について説明する。第 7 の製造工程例では、図 1 (a) 乃至図 3 (k) あるいは図 4 (a) 乃至図 6 (k) あるいは図 7 (a) 乃至図 9 (k) と同様の工程により、トランジスタ部と配線部をそれぞれ形成する。次に図 1 (e) あるいは図 4 (e) あるいは図 7 (e) に示す構造が形成された半導体基板 1 と図 3 (k) あるいは図 6 (k) あるいは図 9 (k) に示す構造が形成された基板 9 とを、接続孔部分および配線部分が接するように張り合わせる。この時、両基板 1, 9 を加熱しながら張り合わせを行なう。

【0071】この第 7 の製造工程例によれば、2 つの基板 1, 9 の張り合わせを加熱下で行なうことにより、トランジスタ部の接続孔内の導体と配線部の配線パターンとの接合をより良好なものにし、電気的導通をより良好なものにすることができる。さらに密着性も向上させることができる。

【0072】次に、本発明による半導体装置の第 8 の製造工程例について説明する。この第 8 の製造工程例では、図 1 (a) 乃至図 3 (k) あるいは図 4 (a) 乃至図 6 (k) あるいは図 7 (a) 乃至図 9 (k) と同様の工程によ

り、トランジスタ部と配線部をそれぞれ形成する。次に図 1 (e) あるいは図 4 (e) あるいは図 7 (e) に示す構造が形成された半導体基板 1 と図 3 (k) あるいは図 6 (k) あるいは図 9 (k) に示す構造が形成された基板 9 とを、接続孔部分および配線部分が接するように張り合わせる。この時、両基板 1, 9 を加熱し、さらに両基板 1, 9 に対し基板裏面から圧力を加える。

【0073】この第 8 の製造工程例によれば、両基板 1, 9 を張り合わせるとき、さらに、加圧することにより、トランジスタ部の接続孔内の導体と配線部の配線パターンとの接合を促進し、またトランジスタ部側の基板 1 の密着層 6 と配線部側の基板 9 の絶縁膜 15 との密着性を、加圧しない場合に比べ、より良好なものにすることができる。

【0074】図 1 3 は本発明による半導体装置の第 9 の製造工程例を示す図である。この第 9 の製造工程例では、図 1 3 に示すように、ボンディングパッドが形成される配線部側の基板 19 として窒化シリコン膜を用いる。これ以外は図 1 乃至図 3, 図 4 乃至図 6, または図 7 乃至図 9 で示された工程と同様の工程により形成する。

【0075】この第 9 の製造工程例によれば、トランジスタ部と配線部とを張り合わせた後に、ボンディングパッドを電気的に分離するために配線部側の基板 19 を除去する必要がなく、製造工程を少なくすることができる。さらに、配線部側の基板 19 をパッシベーション層として利用することができ、通常用いられる CVD 法や塗布法によるパッシベーション膜よりも耐湿性、耐候性を良好なものにすることができる。

【0076】図 1 4 は本発明による半導体装置の第 10 の製造工程例を示す図である。この第 10 の製造工程例では、例えば図 7 (a) 乃至図 9 (l) と同様の工程により、トランジスタ部と配線部が張り合わされた半導体装置を形成する。次に図 1 4 に示すように、配線部側の基板 9 にボンディングパッド部分 10 に通じる接続孔 20 を開口する。なお、図 1 4 の例では、図 7 (a) 乃至図 9 (l) と同様の工程で作製された半導体装置を用いたが、図 1 (a) 乃至図 3 (l) あるいは図 4 (a) 乃至図 6 (l) の工程で作製された半導体装置を用いることもでき、この場合も、配線部側の基板 9 にボンディングパッド部分 10 に通じる接続孔 20 を開口することができる。

【0077】このように、第 10 の製造工程例によれば、配線部側の基板 9 にボンディングパッド部分 10 に通じる接続孔 20 が開けられているので、ボンディングパッド 10 とパッケージとの接続を容易にすることができる。

【0078】図 1 5 は本発明による半導体装置の第 11 の製造工程例を示す図である。この第 11 の製造工程例では、例えば図 7 (a) 乃至図 9 (l) と同様の工程によりトランジスタ部と配線部が張り合わされた半導体装置を

形成する。次に図15に示すように、配線部側の基板9を研磨して薄くする。次に配線部側の基板9にボンディングパッド部分10に通じる接続孔20を開口する。なお、図14の例では、図7(a)乃至図9(1)と同様の工程で作製された半導体装置を用いたが、図1(a)乃至図3(1)あるいは図4(a)乃至図6(1)の工程で作製された半導体装置を用いることもでき、この場合も、配線部側の基板9にボンディングパッド部分10に通じる接続孔20を開口することができる。

【0079】このように、第11の製造工程例によれば、配線部側の基板9を研磨して薄くして、配線部側の基板9にボンディングパッド部分10に通じる接続孔20を開けるので、ボンディングパッド10とパッケージとの接続を容易にすることができる。

【0080】なお、上述の各工程例では、密着層6、16としてスピノングラス(SOG)を用いたが、これに限定されるものではなく、2つの基板1、9の絶縁膜5、11同士を密着させるものであれば任意の材料を用いることができる。例えば絶縁性ポリイミドを用いることもできる。また、上述の各工程例では、接続孔7、12に埋め込む導体8、13として、アルミニウムを用いたが、これに限定されるものではなく、タングステンや銅を用いることもできる。また、上述の各工程例では、成膜法としてスパッタリング法を用いたが、これに限定されるものではなく、化学気相成長法(Chemical Vapor Deposition: CVD)、蒸着法、メッキ法等を用いることもできる。また、上述の各工程例では、配線部が形成される基板上に形成された接続孔以外の導体を除去し、しかる後、配線パターン用の導体を形成する方法を用いたが、この方法に限定されるものではなく、例えば、接続孔埋め込みに形成した導体をそのまま配線層として用いパターニングすることもできる。また、上述の各工程例では、エッチングによって配線パターンを形成したが、この方法に限定されるものではなく、絶縁膜に予め配線パターンを形成しそれに導体を埋め込む、いわゆる溝配線による配線パターンの形成方法を用いることもできる。また、上述の各工程例では、配線パターンが1層の場合を示したが、これに限定されるものではなく、多層の配線パターンを形成することもできる。

【0081】

【発明の効果】以上に説明したように、請求項1乃至請求項13記載の発明によれば、一の半導体基板上にトランジスタ部を形成し、他の半導体基板上に配線部を形成し、一の半導体基板のトランジスタ部と他の半導体基板の配線部とを張り合わせることにによりトランジスタ部と配線部を電氣的に導通させて半導体装置を形成するので、半導体装置の製作期間を従来に比べて短くすることができ、さらに、配線部を変えることににより、多品種の半導体装置を提供することができる。また、トランジスタ部と配線部、それぞれの良品(正常に動作するもの)

を張り合わせることににより、歩留まりを向上させることができる。

【0082】特に、請求項2、請求項3記載の発明によれば、さらに、トランジスタ部と配線部の張り合わせを容易に行なうことができる。

【0083】また、請求項4記載の発明によれば、さらに、トランジスタ部側の基板上の絶縁膜と配線部側の基板上の絶縁膜とのそれぞれの上部に密着層を形成することにより、トランジスタ部と配線部の張り合わせを、より一層容易に行なうことができる。

【0084】また、請求項5記載の発明によれば、絶縁膜を平坦化する工程に化学機械研磨(Chemical mechanical polishing: CMP)を用いることににより、トランジスタ部と配線部との張り合わせを容易に行なうことができる。さらに、平坦性が向上することにより高精度に張り合わせを行なうことができる。

【0085】また、請求項6記載の発明によれば、接続孔内の導体上に低融点金属を形成することにより、トランジスタ部の接続孔内の導体と配線部の配線パターンとの電氣的導通を、低融点金属を形成しない場合に比べ、より良好なものにすることができる。

【0086】また、請求項7記載の発明によれば、接続孔内の導体上に形成する低融点金属を接続孔が形成されている絶縁膜の上面よりも盛り上がるように形成することにより、トランジスタ部と配線部との電氣的導通をより確実に良好なものにすることができる。

【0087】また、請求項8記載の発明によれば、トランジスタ部と配線部の張り合わせを加熱下で行なうことににより、トランジスタ部の接続孔内の導体と配線部の配線パターンとの接合を促進し、またトランジスタ部側の密着層と配線部側の絶縁膜との密着性を、加熱しない場合に比べ、より良好なものにすることができる。

【0088】また、請求項9記載の発明によれば、トランジスタ部と配線部の張り合わせを加圧下で行なうことににより、トランジスタ部の接続孔内の導体と配線部の配線パターンとの接合を促進し、また、トランジスタ部側の密着層と配線部側の絶縁膜との密着性を加圧しない場合に比べ、より良好なものにすることができる。

【0089】また、請求項10記載の発明によれば、ボンディングパッドが形成される配線部側の基板が絶縁性基板であることににより、トランジスタ部と配線部とを張り合わせた後に、ボンディングパッドを電氣的に分離するために配線側基板を除去する必要がなく、製造工程を少なくすることができる。さらに、配線側の基板をパッシベーション層として利用することができ、通常用いられるCVD法や塗布法によるパッシベーション膜よりも耐湿性、耐候性を良好にすることができる。

【0090】また、請求項11記載の発明によれば、トランジスタ部と配線部とを張り合わせた後、配線部が形成されている他の半導体基板にボンディングパッド部分

に通じる接続孔を開口する工程をさらに有していることにより、ボンディングパッドとパッケージとの接続を容易にすることができる。

【0091】また、請求項 12 記載の発明によれば、請求項 11 記載の半導体装置の製造方法において、配線部が形成されている他の半導体基板にボンディングパッド部分に通じる接続孔を開口するに先立って、配線部が形成されている他の半導体基板を研磨して薄くする工程をさらに有していることにより、ボンディングパッドの形成をより一層容易にすることができる。

【図面の簡単な説明】

【図 1】本発明に係る半導体装置の第 1 の製造工程例を示す図である。

【図 2】本発明に係る半導体装置の第 1 の製造工程例を示す図である。

【図 3】本発明に係る半導体装置の第 1 の製造工程例を示す図である。

【図 4】本発明に係る半導体装置の第 2 の製造工程例を示す図である。

【図 5】本発明に係る半導体装置の第 2 の製造工程例を示す図である。

【図 6】本発明に係る半導体装置の第 2 の製造工程例を示す図である。

【図 7】本発明に係る半導体装置の第 3 の製造工程例を示す図である。

【図 8】本発明に係る半導体装置の第 3 の製造工程例を示す図である。

【図 9】本発明に係る半導体装置の第 3 の製造工程例を示す図である。

【図 10】本発明に係る半導体装置の第 4 の製造工程例

を示す図である。

【図 11】本発明に係る半導体装置の第 5 の製造工程例を示す図である。

【図 12】本発明に係る半導体装置の第 6 の製造工程例を示す図である。

【図 13】本発明に係る半導体装置の第 9 の製造工程例を示す図である。

【図 14】本発明に係る半導体装置の第 10 の製造工程例を示す図である。

【図 15】本発明に係る半導体装置の第 11 の製造工程例を示す図である。

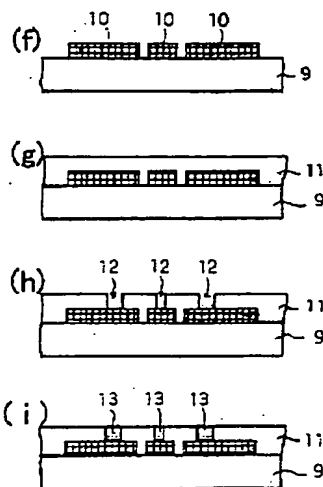
【図 16】従来の積層配線の形成方法を示す図である。

【図 17】従来の積層配線の形成方法を示す図である。

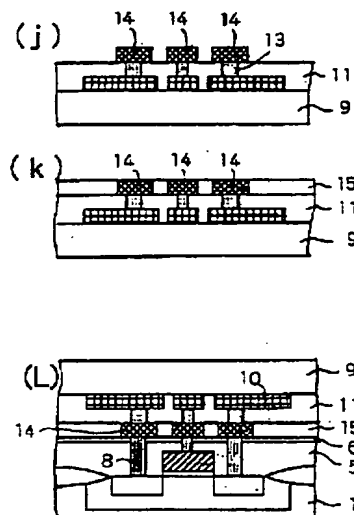
【符号の説明】

| | |
|-----------|-----------|
| 1, 9 | 半導体基板 |
| 2 | 素子分離領域 |
| 3 | ゲート電極 |
| 4 | ソース・ドレイン |
| 5, 11, 15 | 層間絶縁膜 |
| 6, 16 | 密着層 |
| 7, 12 | 接続孔 |
| 8, 13 | 導体 |
| 10 | ボンディングパッド |
| 14 | 配線パターン |
| 17 | スピニングラス |
| 18 | 低融点金属 |
| 19 | 基板 |
| 20 | 接続孔 |
| 30 | ゲート絶縁膜 |

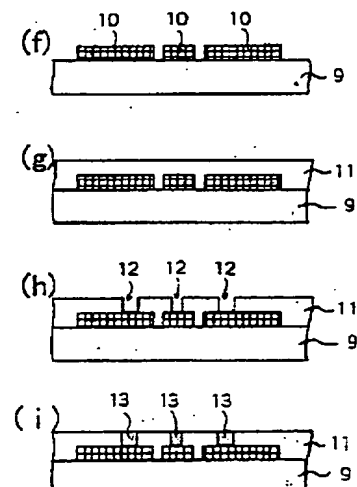
【図 2】



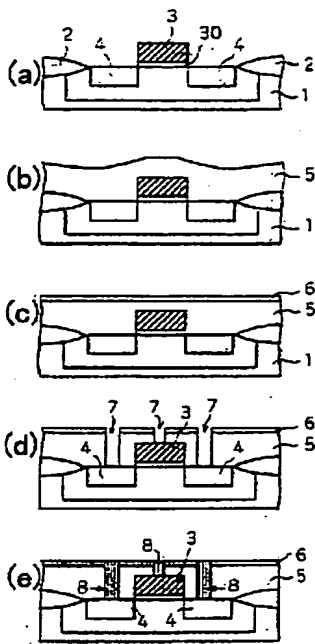
【図 3】



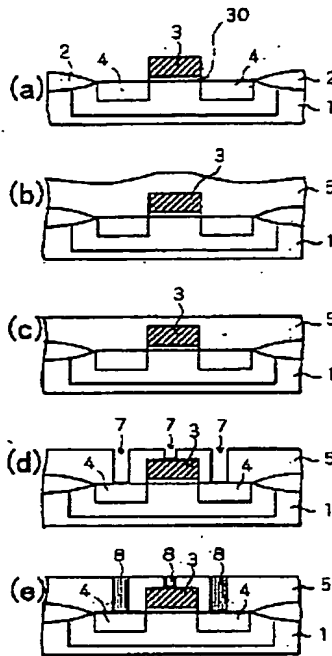
【図 5】



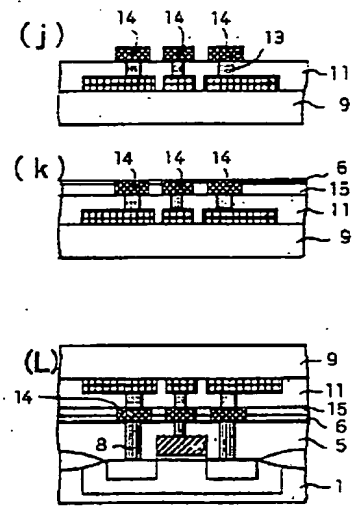
【図 1】



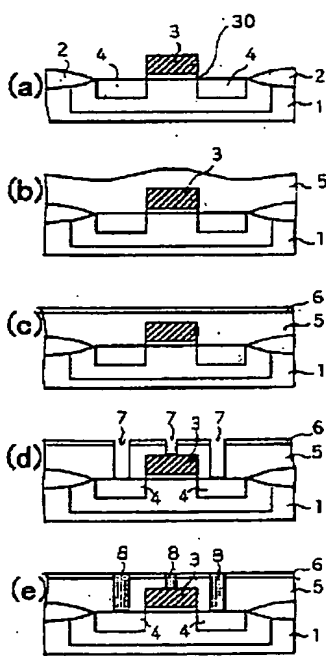
【図 4】



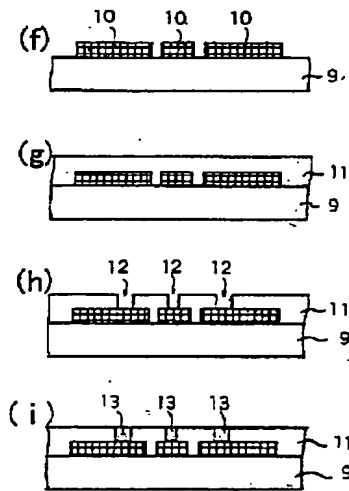
【図 6】



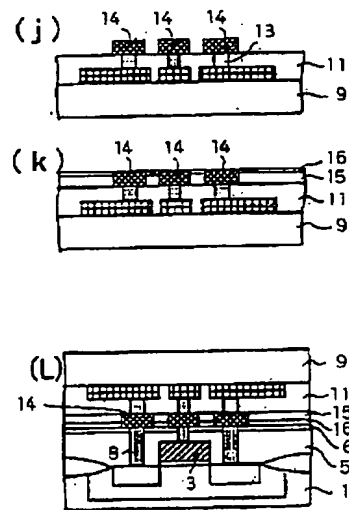
【図 7】



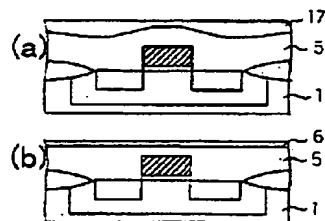
【図 8】



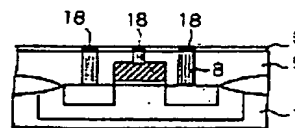
【図 9】



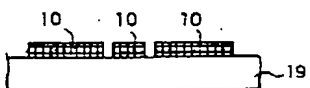
【図 10】



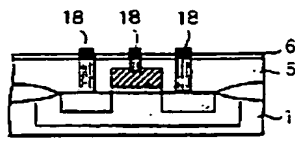
【図 11】



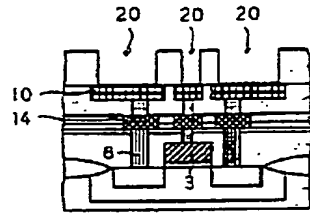
【図 13】



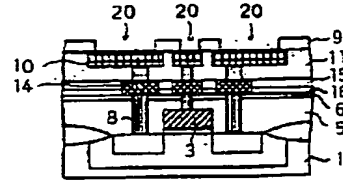
【図 12】



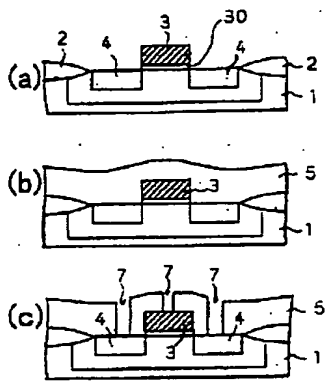
【図 14】



【図 15】



【図 16】



【図 17】

